

---

---

# アルテラ 28nm FPGA 浮動小数点 DSP の電力効率に関する 第三者機関による分析



Berkeley Design Technology, Inc.

2013年2月

---

## 概要

FPGA は、高負荷なデジタル信号処理 (DSP) アプリケーション向けの並列処理エンジンとして使用されることが多くなっています。ベンチマーク結果によれば、FPGA は、高度に並列化可能なワークロードの場合、DSP プロセッサや汎用 CPU よりも高い性能と優れたコストパフォーマンスを実現することができます。しかし、性能が高くなると、たいていは消費電力が増加し、電力効率が低下します。これは、エンベデッド・プロセッシング・アプリケーションにおいて問題となることがあります。

アルテラは最近、アルテラ FPGA への浮動小数点 DSP アルゴリズムの実装プロセスを合理化し、従来よりも高い性能とリソース使用効率を実現するために、新しい浮動小数点デザイン・フローを導入しました。前のホワイトペーパー [1] では、BDTI は第三者機関として、高負荷な浮動小数点 DSP アプリケーションにおけるアルテラ FPGA の性能を分析し、アルテラの浮動小数点 DSP デザイン・フローの有効性を評価しました。

その後、BDTI は高負荷な浮動小数点 DSP アプリケーションにおけるアルテラ FPGA の消費電力および電力効率の分析を行いました。このホワイトペーパーでは、この追跡評価から得られた BDTI の所見を示します。

## 目次

1. はじめに.....	2
2. 浮動小数点デザイン例.....	3
3. 消費電力測定方法論.....	3
4. 消費電力結果.....	5
5. 結論.....	6
6. 参考文献.....	6
付録.....	7

## 1. はじめに

消費電力と電力効率は、高性能エンベデッド・プロセッサを選択する上でますます重要になっています。なぜなら、多くのシステムは限られたスペース、モバイル環境、あるいはバッテリー電源で稼働することが要求されるからです。プロセッサが消費する電力のほとんどは熱に変換されるため、消費電力の少ないデバイスは過熱防止のための冷却要件が緩和されます。これは、バッテリーの小型化、ひいてはシステムの小型化につながります。しかし、必ずしも低消費電力プロセッサが電力効率に優れているとは限りません。電力消費量は、消費電力と時間の積によって決まります。多くの場合、低消費電力プロセッサは相対的に性能が低く、所定のタスクが完了するまでの所要時間が長いいため、その低消費電力性が相殺されます。低消費電力プロセッサが十分な性能を備えていないのに対し、高性能プロセッサは消費電力が受け入れられないほど高い場合がほとんどです。

計算負荷が高い浮動小数点アルゴリズムは、エンベデッド・コンピューティング・アプリケーションでも当たり前ものになりつつあります。そうした例は、時空間適応信号処理 (STAP) などの高度な防衛レーダー・アプリケーションから、4G LTE (第 4 世代 Long-Term Evolution) 携帯電話通信規格における MIMO (多重入力多重出力) コミュニケーション・チャンネル推定まで多岐にわたります。これらのアルゴリズムは、その複雑性のため、高度な並列処理手法が必要です。加えて、限られたスペースや小型軽量パッケージといった稼働環境の性質上、消費電力削減も求められます。そのような環境の例としては、無人機 (UAV) などの防衛モバイル分野が挙げられます。そうしたアプリケーションでは、発熱の最小化およびバッテリー寿命の最大化のために低消費電力性が求められるほか、所定のタスクを最短時間で完了させるために高い演算性能も要求されます。浮動

小数点プロセッサの電力効率の評価に使用される一般的な指標は、消費電力 1 W で 1 秒間に実行可能な浮動小数点演算回数 (GFLOPS/W) で測定した性能であり、この評価でもこれを使用しています。

プロセッサ・ベンダーは、一般にピーク GFLOPS 値を公表しています。同様に、電力効率はピーク GFLOPS を消費電力で割った値で示されることもよくあります。これらの数値は、プロセッサ内のすべての浮動小数点機能ユニットがデバイスの最大クロック周波数で動作していることを前提としています。これは通常、非常に楽観的な数字であり、典型的なアプリケーションを反映したものではありません。この分析では、より現実的なアプローチとして、2 種類の複雑なアルゴリズムの実装をベースにして、浮動小数点演算性能と消費電力の両方を測定しました。アルテラは最近、従来の FPGA デザイン手法に比べて浮動小数点デザインの性能と効率を改善するとともに、アルテラ FPGA 上での浮動小数点 DSP アルゴリズムの実装を簡素化するために、[DSP Builder](#) アドバンスド・ブロックセット・ツール・チェーンに浮動小数点機能を導入しました。前のホワイトペーパー [1] では、BDTI は [Quartus II 開発ソフトウェア v12.0](#) ツール・チェーンを使用して、浮動小数点デザインに対するアルテラのアプローチの有効性を評価したほか、アルテラの 28nm [Stratix V](#) および [Arria V](#) FPGA の浮動小数点演算性能を評価しました。その評価では、マルチチャネル・コレスキー行列分解とグラム・シュミット法による QR 分解という 2 つのタイプの行列分解を用いて、多数の連立一次方程式の解を求めるように設計された 2 つのサンプル・アプリケーションを使用しました。そして、これらの分解と前進代入および後退代入を併用して、連立一次方程式  $\mathbf{Ax} = \mathbf{B}$  のベクトル  $\mathbf{x}$  の値を求めました。

このホワイトペーパーでは、前のホワイトペーパーで使用したものと同じ 2 つのサンプル・アプリケーションを使用して、[Stratix V](#) および [Arria V](#) FPGA の消費電力と電力効率を評価します。セクション 4 で示すように、アルテラ [Stratix V](#) FPGA は 6 GFLOPS/W 以上 (消費電力 16 W で 99 GFLOPS)、アルテラ [Arria V](#) FPGA は 7 GFLOPS/W 以上 (わずか 9 W 強で 65 GFLOPS) を達成することができます。注目すべきは、これらがピーク性能値ではなく、実際の浮動小数点デザイン例の性能であることです。

セクション 2 では、2 つの浮動小数点サンプル・アプリケーションの背景を簡単に説明します。セクション 3 では、消費電力測定方法論について説明します。セクション 4 では、ハイエンドの Stratix V の中規模デバイス 5SGSMD5K2F40C2N と、ミッドレンジの低消費電力 Arria V 5AGTFD7K3F40I3N デバイスという、2 種類のアルテラ FPGA における 2 つのデザイン例の評価結果を示します。最後に、セクション 5 で BDTI の結論を示します。

## 2. 浮動小数点デザイン例

$Ax = b$  という形の一連の一次方程式は、STAP などの高度な防衛レーダー・アプリケーションから、デジタル通信における各種推定問題まで、さまざまなアプリケーションで登場します。線形最小二乗を含む最適化問題にしても、MIMO コミュニケーション・チャネル推定にしても、方程式  $Ax = b$  の数値解を求めることが問題であることに変わりありません。これらのタイプの方程式の解を求めるアルゴリズムでは、計算負荷が非常に高いことに加え、十分なダイナミック・レンジを使用しないと、数値的不安定に悩まされることがあります。そのため、そうしたアルゴリズムを効率的かつ正確に実装するには、浮動小数点デバイスが事実上不可欠でした。サイズが  $m \times n$  の一般行列  $A$  の場合 ( $m$  は行列の高さ、 $n$  は行列の幅)、QR 分解を使用してベクトル  $x$  の値を求めることができます。アルゴリズムでは、 $A$  をサイズ  $m \times n$  の正規直交行列  $Q$  とサイズが  $n \times n$  の上三角行列  $R$  に分解します。 $Q$  は正規直交行列であるため、 $Q^T Q = I$  かつ  $Rx = Q^T b$  となります。 $R$  が上三角行列であることから、元の行列  $A$  の逆行列を求めなくても、後退代入によって  $x$  の値を容易に求めることができます。このホワイトペーパーで示す QR ソルバの例では、 $m \geq n$  の優決定系の行列を扱い、グラム・シュミット法を用いて行列  $A$  を分解します。

多くのアプリケーションで使用される共分散行列のように、行列  $A$  がエルミート正定値である場合には、一般にコレスキー分解が使用されます (QR 分解の最大 2 倍の効率を実現可能)。コレスキー分解アルゴリズムは、行列  $A$  を下三角  $L$  とその共役転置  $L^*$  に分解します。 $L$  は、下三角行列であるため、前進代入によって  $Ly = b$  の解  $y$  を求めた後、後退代入によって  $L^*x = y$  の解  $x$  を求めます。したがって、このアルゴリズムは  $x = A^{-1}b$  を解くために行列  $A$  の逆行列を間接的に求めます。このホ

### 表記と定義

$M$  太字の大文字は行列を表します。  
 $z$  太字の小文字はベクトルを表します。 $L^*$  行列  $L$  の共役転置。

**エルミート行列** 自己の共役転置に等しい複素正方行列。これは実対称行列の複素拡張です。

**正定値行列** エルミート行列  $M$  は、すべて 0 でない複素ベクトル  $z$  について  $z^* M z > 0$  の場合、正定値です。 $M$  は本書の目的上、エルミート行列であるため、量  $z^* M z$  は常に実数です。

**正規直交行列** 行列  $Q$  は、 $Q^T Q = I$  ( $I$  は恒等行列) である場合、正規直交行列です。

**コレスキー分解**  $M = LL^*$  となるように正定値エルミート行列  $M$  を下三角行列  $L$  と共役転置  $L^*$  に分解すること。

**QR 分解** サイズが  $m \times n$  の行列  $M$  を  $M = QR$  となるように、サイズが  $m \times m$  の正規直交行列  $Q$  とサイズが  $m \times n$  の上三角行列  $R$  に因数分解すること。

$F_{max}$  FPGA デザインの最大周波数。

ホワイトペーパーで使用するコレスキー・ソルバの例は、マルチチャネル・デザインです。つまり、複数の行列を同時に分解することが可能です。

この評価で使用するソルバは、どちらも複素数データ型の IEEE 754 単精度浮動小数点演算を使用して実装されています。この 2 つの浮動小数点デザイン例および 2 種類のアルテラ FPGA への実装について、詳しくは前のホワイトペーパーをご覧ください。

## 3. 消費電力測定方法論

今回の評価では、DSP 開発キット Stratix V FPGA エディションと Arria V FPGA 開発キットという 2 種類のハードウェア・プラットフォームを使用しました。これらのプラットフォームを使用するには、まず各ハードウェア・プラットフォーム専用の DSP 開発キット・インストール・ソフトウェア、および USB-Blaster II ドライバをアルテラ・ウェブサイトからダウンロードします (アルテラに請求することにより、DVD で入手することも可能です)。ダウンロードしたインストール・ソフトウェアには、ボード・テスト・システム (BTS) と呼ばれるアプリケーション・パッケージが含まれています。この環境は、ハードウェア開発ボードの機能設定を変更し、結果を確認するた

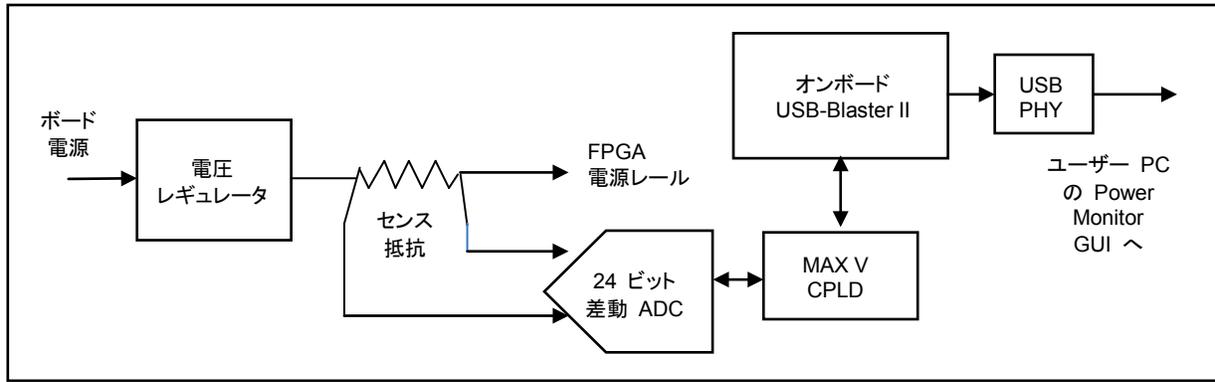


図 1. FPGA 電源レールごとのオンボード消費電力測定回路

めの GUI インタフェースを備えています。BTS は、ボードの USB-Blaster II ユニットに接続された USB ケーブル経由で開発ボードと通信します。USB-Blaster は、ボード上の JTAG チェインをコントロールします。

ボードのメイン DC 電源入力は、電圧レギュレータにより、ボードおよび FPGA 上のコンポーネントが使用する各種電源レールへの供給電圧に降圧されます。FPGA の電源レールは、低抵抗値のセンス抵抗によって電源プレーンから分離されています。0.001Ω 抵抗が使用されている FPGA コア・レール (VCCINT) を除き、すべての FPGA 電源レールに 0.003Ω のセンス抵抗が使用されています。どちらのタイプの抵抗も精度は 1% です。センス抵抗両端間の電圧は、24 ビット差動 ADC (アナログ-デジタル・コンバータ) によって測定されます。各 ADC は、シリアル・ペリフェラル・インタフェース (SPI) バス経由で、アルテラ [MAX V CPLD](#) と通信します。MAX V CPLD は、FPGA コンフィギュレーション、パワー・モニタ、温度モニタ、ファン・コントロールなどの各種機能のオンボード・システム・コントローラとして機能します。MAX V CPLD は JTAG チェイン上にあるため、ユーザーの PC 上で稼働する BTS アプリケーションと通信します。Stratix V ボードおよび Arria V FPGA ボード上のコンポーネントは、FPGA 自体以外は基本的に同じです。図 1 は、FPGA 電源レールごとの開発ボード上の消費電力測定回路です。FPGA 電源レールはそれぞれ専用のセンス抵抗を備えています。

この評価では、Power Monitor と Clock Control という 2 つのアプリケーションを使用しました。どちらも BTS 環境の一部であり、BTS GUI から、またはスタンドアロン・アプリケーションとして実行可能です。この評価で

は、スタンドアロン・モードで実行することにしました。

Clock Control アプリケーションは、オンボード・プログラマブル・オシレータの周波数設定用に使用しました。クロック・ソースには、Stratix V FPGA 開発ボードでは Si570、Arria V FPGA 開発ボードでは X7 を使用しました。コレスキー・ソルバは、オンチップ PLL を使用して入力クロック周波数を 2 通倍するため、コレスキー・ソルバ構成ではオシレータ周波数を  $F_{max}/2$  に設定しました。一方、QR ソルバ構成では  $F_{max}$  に設定して評価しました。各構成に使用した  $F_{max}$  については、セクション 4 の表 1 を参照してください。

Power Monitor アプリケーションは、ボード上の各種電源レールのセンス抵抗を流れる電流を測定・報告するオンボード・パワー・モニタ回路と通信します。Stratix V FPGA デバイスでは 9 つ、Arria V デバイスでは 7 つの電源レール

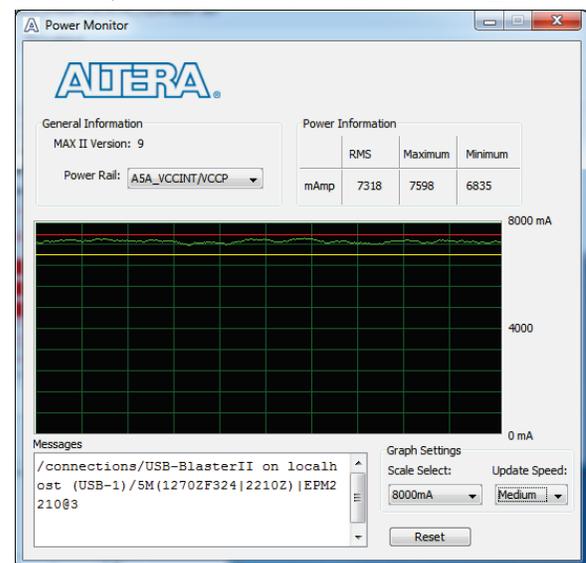


図 2. Power Monitor GUI

ルを流れる電流をモニタしました。いずれの場合も、浮動小数点アプリケーションを連続動作モードで実行しました。図 2 は、Arria V FPGA 開発キット用 Power Monitor アプリケーションのコントロール GUI を示しています。表示される RMS 電流値は、2 秒間でサンプリングされた 16 個の値の平均です。サンプリング・レートおよび平均化期間の変更はできませんが、GUI およびグラフ表示の更新間隔はユーザーによるコントロールが可能です。表示される最大値/最小値は、実行中に測定された絶対最大/最小 RMS 値です。表示精度は 1 mA です。

各浮動小数点デザイン例の構成ごとに正確な電流測定値を得るために、アプリケーションを連続モードで起動後、FPGA が動作温度に達するまで待ってから電流値を記録しました。表示 RMS 電流値は、デバイス温度の上昇と共に増加しますが、やがて長時間平均付近で安定します。場合によっては、安定するまでに最大 7 分を要しました。その後、RMS 電流値を測定・記録し、約 2 分間の平均を求めました。電流値は、この期間にわたって比較的安定していましたが、やはり平均化した方がわずかな変動を平滑化する助けとなります。表示電流値に対する正確な数値を得るために、いくつかのデザインについて、VCCINT レール (FPGA コアの電源レール) のセンス抵抗両端間の電圧降下を別個に測定し、計算した電流値と対応する表示値を比較しました。その結果、Power Monitor の表示誤差は±1% 以内と推定されます。各レールの消費電力は、平均 RMS 電流値と電源レール電圧の積として計算しました。モニタした電源レール

の一覧および対応する電圧については、付録の表 A.1 を参照してください。

#### 4. 消費電力結果

このセクションでは、ハイエンドの Stratix V の中規模デバイス 5SGSMD5K2F40C2N と、ミッドレンジの低消費電力 Arria V 5AGTFD7K3F40I3N デバイスという、2 種類のアルテラ FPGA の消費電力および電力効率に関する評価を示します。この評価で使用した Stratix V FPGA は、34 万 5,200 個のアダプティブ・ルックアップ・テーブル (ALUT)、1,590 個の 27 x 27 ビット可変精度乗算器、および 2,014 個の M20K メモリ・ブロックを備えています。Arria V FPGA は、38 万 4,000 個の ALUT、1,156 個の 27 x 27 ビット可変精度乗算器、および 2,414 個の M10K メモリ・ブロックを備えています。この 2 種類の FPGA について、複素数データ型の IEEE 754 単精度浮動小数点コレスキー・ソルバおよび QR ソルバ・デザイン例の実行中の消費電力を測定しました。

表 1 に、Stratix V および Arria V FPGA で、2 つの浮動小数点デザイン例をそれぞれ連続モードで実行中に達成された電力効率を GFLOPS/W 単位で示します (右端の列)。表 1 の「スループット」、「F<sub>max</sub>」、および「性能」列は、前のホワイトペーパー [1] から、同じ FPGA に関する BDTI の性能評価結果を引用したものです。実数データ型の FLOPS 値の計算に使用した式は、コレスキー・ソルバが  $4n^3/3 + 12n^2$ 、QR ソルバが  $8mn^2 + 6.5n^2 + mn$  です。

例	デバイス	構成 (チャネル・サイズ / 行列サイズ / ベクトル・サイズ)	スループット (千行列 / 秒)	Fmax (MHz)	性能 (GFLOPS)	合計 消費電力 <sup>(1)</sup> (W)	GFLOPS/ W
コレスキー	Stratix V FPGA	1 / 360×360 / 90	1.43	189	91	16	5.7
		20 / 60×60 / 60	118.35	234	39	15	2.6
		64 / 30×30 / 30	544.28	288	26	10	2.5
	Arria V FPGA	6 / 90×90 / 45	35.22	197	38	9.1	4.2
		64 / 30×30 / 30	349.62	184	16	7.1	2.3
QR	Stratix V FPGA	1 / 400×400 / 100	0.315	203	162	26	6.2
		1 / 200×100 / 100	8.76	207	141	23	6.1
		1 / 200×100 / 50	6.17	260	99	16	6.2
		1 / 100×50 / 50	32.82	259	66	13	5.1
	Arria V FPGA	1 / 200×100 / 50	4.05	171	65	9.1	7.1
		1 / 100×50 / 50	21.54	170	44	8.1	5.4

表 1. コレスキー・ソルバおよび QR ソルバ実行時の Stratix V および Arria V FPGA の電力効率

<sup>(1)</sup> 消費電力値の誤差は±1%

表 1 に示した消費電力値は、Stratix V および Arria V FPGA でのコレスキー・ソルバ構成と QR ソルバ構成ごとの合計消費電力測定値です。表 1 の電力効率 (GFLOPS/W) は、ケースごとに性能値を合計消費電力測定値で除算することによって計算しました。

各構成の合計消費電力は、各 FPGA のすべての電源レールで消費された電力の合計です。このホワイトペーパーで使用した例を含め、多くのアプリケーションでは、FPGA の一部 (トランシーバなど) は常時使用されているわけではありません。しかし、スタティック消費電力の一因であることに変わりはないため、表 1 で報告されている合計の一部として含めてあります。これらの例では、FPGA コアの消費電力は、報告された合計消費電力値の 82% ~ 92% を占めています。

各ケースの電源レールごとの RMS 電流測定値および消費電力計算値は、付録の表 A.2 ~ A.5 に示されています。このホワイトペーパーで評価した 2 つの浮動小数点デザイン例は、性能 (つまり  $F_{max}$ ) が最大になるようにコンパイルされています。Quartus II 開発ソフトウェア v12.0 ツール・チェーンを使用すると、パワー・ドリブン・コンパイル、クロック・パワー・マネージメント、および最適化されたメモリ・クロッキングにより、さまざまな方法でデザインの消費電力削減を図ることが可能です。消費電力に関する最適化手法については、Quartus II ハンドブック v12.1 Volume 2 Chapter 14 [2] (アルテラ Web サイトからダウンロード可能) に記載されています。

## 5. 結論

このホワイトペーパーでは、ハイエンドの中規模 Stratix V FPGA とミッドレンジの低消費電力 Arria V FPGA という、2 種類のアルテラ 28nm デバイスの電力効率および消費電力を評価しました。電力効率の評価は、複素数データ型の IEEE 754 単精度浮動小数点数を使用して実装されたコレスキー・ソルバおよび QR ソルバという 2 つのデザイン例で行いました。どちらのデザイン例も、アルテラの Quartus II 開発ソフトウェア v12.0 ツール・チェーンを使用して設計・実装されたもので、前のホワイトペーパーで詳しく解説されています。

BDTI の評価の結果、アルテラ Stratix V FPGA は、消費電力重視のエンベデッド・システムの多くで十分に使用可能な低消費電力で、複雑な浮動小数点アプリケーションを実行する

高い演算性能を達成できることが確認されました。今回評価した中で最大の浮動小数点デザイン例は、Stratix V FPGA での 400 x 400 要素の QR ソルバでした。203 MHz 動作時で、消費電力 26 W で 162 GFLOPS を達成し、電力効率は 6.2 GFLOPS/W でした。同じ浮動小数点デザイン構成で 2 種類のアルテラ FPGA を比較した場合、Arria V FPGA は性能、消費電力共に Stratix V FPGA より低いものの、電力効率は Stratix V FPGA に匹敵することが確認されました。さらに、演算性能 (GFLOPS) で比較した場合、Arria V FPGA は Stratix V FPGA より消費電力が低く、電力効率が高いことも確認されました。この 2 つの結果は、Arria V FPGA の方がスタティック消費電力、ダイナミック消費電力共に低いことを示しています。

なお、このホワイトペーパーで示した 2 種類のアルテラ FPGA の性能および電力効率値は、特定のデザイン例に関するものであり、特殊な環境下でのピーク値ではないことに留意しなければなりません。他のプラットフォームと有効な比較を行うには、対象とするプラットフォームに同じアルゴリズムを実装した上で、電力効率と消費電力を測定する必要があります。

## 6. 参考文献

[1] Berkeley Design Technology, Inc., October 2012. "An Independent Analysis of Floating-point DSP Design Flow and Performance on Altera 28-nm FPGAs". Available for download at [http://www.altera.co.jp/literature/wp/wp-01166-bdti-altera-floating-point-dsp\\_j.pdf](http://www.altera.co.jp/literature/wp/wp-01166-bdti-altera-floating-point-dsp_j.pdf).

[2] "Quartus II Handbook version 12.1, volume 2" available for download from Altera's website at [http://www.altera.com/literature/hb/qts/qts\\_qii5v2.pdf](http://www.altera.com/literature/hb/qts/qts_qii5v2.pdf)

## 付録

電流測定値の誤差は  $\pm 1\%$

表 A.1. モニタした電源レールとそれぞれの電圧

Stratix V FPGA			Arria V FPGA		
電源レール	電圧 (V)	機能	電源レール	電圧 (V)	機能
VCCINT	0.90	FPGA コア	VCCINT/VCCP	1.1	FPGA コア
XCVR_GXB	1.0	高速トランシーバ	VCCD_PLL	1.5	PLL デジタル部
VCCIO_HSMB	1.2	VCC I/O	VCCIO_1.5V	1.5	1.5 V I/O
VCCPD/PGM	2.5	I/O プリドライバ、プログラミング	VCCIO_1.8V	1.8	1.8 V I/O
VCC_1.5	1.5	PLL、トランシーバ・バッファ	VCCA	2.5	PLL アナログ部
VCCIO_1.8	1.8	1.8 V I/O	VCCPD/PGM	2.5	I/O プリドライバ、プログラミング
VCCIO_2.5	2.5	2.5 V I/O	XCVR_GXB	1.2	高速トランシーバ
VCCIO_1.5	1.5	1.5 V I/O			
VCCA_GXB	3.0	トランシーバ・アナログ電源			

表 A.2. Stratix V FPGA でコレスキー・ソルバを実行した場合の消費電力

チャンネル数 = 1 行列サイズ = 360 x 360 ドット積ベクトル・サイズ = 90 F <sub>max</sub> = 189 MHz			チャンネル数 = 20 行列サイズ = 60 x 60 ドット積ベクトル・サイズ = 60 F <sub>max</sub> = 234 MHz			チャンネル数 = 64 行列サイズ = 30 x 30 ドット積ベクトル・サイズ = 30 F <sub>max</sub> = 288 MHz		
電源レール	電流測定値 (mA)	消費電力 (W)	電源レール	電流測定値 (mA)	消費電力 (W)	電源レール	電流測定値 (mA)	消費電力 (W)
VCCINT	15530	14	VCCINT	14474	13	VCCINT	9368	8.4
XCVR_GXB	300	0.30	XCVR_GXB	299	0.30	XCVR_GXB	271	0.27
VCCIO_HSMB	2	0.002	VCCIO_HSMB	2	0.002	VCCIO_HSMB	2	0.002
VCCPD/PGM	90	0.23	VCCPD/PGM	90	0.23	VCCPD/PGM	91	0.23
VCC_1.5	496	0.74	VCC_1.5	488	0.73	VCC_1.5	455	0.68
VCCIO_1.8	0	0	VCCIO_1.8	0	0	VCCIO_1.8	0	0
VCCIO_2.5	0	0	VCCIO_2.5	0	0	VCCIO_2.5	0	0
VCCIO_1.5	0	0	VCCIO_1.5	0	0	VCCIO_1.5	0	0
VCCA_GXB	238	0.71	VCCA_GXB	238	0.71	VCCA_GXB	238	0.71
合計消費電力	16		合計消費電力	15		合計消費電力	10	
コアで消費された割合	88%		コアで消費された割合	87%		コアで消費された割合	82%	
GFLOPS/W	5.7		GFLOPS/W	2.6		GFLOPS/W	2.5	

表 A.3. Arria V FPGA でコレスキー・ソルバを実行した場合の消費電力

チャンネル数 = 6 行列サイズ = 90 x 90 ドット積ベクトル・サイズ = 45 F <sub>max</sub> = 197 MHz			チャンネル数 = 64 行列サイズ = 30 x 30 ドット積ベクトル・サイズ = 30 F <sub>max</sub> = 184 MHz		
電源レール	電流 測定値 (mA)	消費電力 (W)	電源レール	電流 測定値 (mA)	消費電力 (W)
VCCINT/VCCP	7341	8.1	VCCINT/VCCP	5531	6.1
VCCD_PLL	6	0.009	VCCD_PLL	6	0.009
VCCIO_1.5 V	17	0.026	VCCIO_1.5 V	17	0.026
VCCIO_1.8 V	17	0.031	VCCIO_1.8 V	15	0.027
VCCA	336	0.84	VCCA	336	0.84
VCCPD/PGM	13	0.033	VCCPD/PGM	15	0.038
XCVR_GXB	29	0.035	XCVR_GXB	25	0.030
合計消費電力	9.1		合計消費電力	7.1	
コアで消費 された割合	89%		コアで消費 された割合	86%	
GFLOPS/W	4.2		GFLOPS/W	2.3	

表 A.4a. Stratix V FPGA で QR ソルバを実行した場合の消費電力

チャンネル数 = 1 行列サイズ = 400 x 400 ドット積ベクトル・サイズ = 100 F <sub>max</sub> = 203 MHz			チャンネル数 = 1 行列サイズ = 200 x 100 ドット積ベクトル・サイズ = 100 F <sub>max</sub> = 207 MHz		
電源レール	電流 測定値 (mA)	消費電力 (W)	電源レール	電流 測定値 (mA)	消費電力 (W)
VCCINT	26258	24	VCCINT	22882	21
XCVR_GXB	359	0.36	XCVR_GXB	337	0.33
VCCIO_HSMB	3	0.004	VCCIO_HSMB	3	0.004
VCCPD/PGM	86	0.22	VCCPD/PGM	86	0.22
VCC_1.5	596	0.89	VCC_1.5	560	0.84
VCCIO_1.8	0	0	VCCIO_1.8	0	0
VCCIO_2.5	2	0.005	VCCIO_2.5	2	0.005
VCCIO_1.5	0	0	VCCIO_1.5	0	0
VCCA_GXB	240	0.72	VCCA_GXB	240	0.72
合計消費電力	26		合計消費電力	23	
コアで消費 された割合	92%		コアで消費 された割合	91%	
GFLOPS/W	6.2		GFLOPS/W	6.1	

表 A.4b. Stratix V FPGA で QR ソルバを実行した場合の消費電力

チャンネル数 = 1 行列サイズ = 200 x 100 ドット積ベクトル・サイズ = 50 F <sub>max</sub> = 260 MHz		
電源レール	電流 測定値 (mA)	消費電力 (W)
VCCINT	15470	14
XCVR_GXB	300	0.30
VCCIO_HSMB	3	0.004
VCCPD/PGM	86	0.22
VCC_1.5	490	0.74
VCCIO_1.8	0	0
VCCIO_2.5	2	0.005
VCCIO_1.5	0	0
VCCA_GXB	238	0.71
合計消費電力	16	
コアで消費 された割合	88%	
GFLOPS/W	6.2	

チャンネル数 = 1 行列サイズ = 100 x 50 ドット積ベクトル・サイズ = 50 F <sub>max</sub> = 259 MHz		
電源レール	電流 測定値 (mA)	消費電力 (W)
VCCINT	12131	11
XCVR_GXB	295	0.30
VCCIO_HSMB	3	0.004
VCCPD/PGM	86	0.22
VCC_1.5	481	0.72
VCCIO_1.8	0	0
VCCIO_2.5	2	0.005
VCCIO_1.5	0	0
VCCA_GXB	239	0.72
合計消費電力	13	
コアで消費 された割合	85%	
GFLOPS/W	5.1	

表 A.5. Arria V FPGA で QR ソルバを実行した場合の消費電力

チャンネル数 = 1 行列サイズ = 200 x 100 ドット積ベクトル・サイズ = 50 F <sub>max</sub> = 171 MHz		
電源レール	電流 測定値 (mA)	消費電力 (W)
VCCINT/VCCP	7467	8.2
VCCD_PLL	5	0.008
VCCIO_1.5 V	15	0.023
VCCIO_1.8 V	15	0.027
VCCA	307	0.77
VCCPD/PGM	14	0.035
XCVR_GXB	23	0.028
合計消費電力	9.1	
コアで消費 された割合	90%	
GFLOPS/W	7.1	

チャンネル数 = 1 行列サイズ = 100 x 50 ドット積ベクトル・サイズ = 50 F <sub>max</sub> = 170 MHz		
電源レール	電流 測定値 (mA)	消費電力 (W)
VCCINT/VCCP	6443	7.1
VCCD_PLL	3	0.005
VCCIO_1.5 V	14	0.021
VCCIO_1.8 V	10	0.018
VCCA	344	0.86
VCCPD/PGM	14	0.035
XCVR_GXB	22	0.026
合計消費電力	8.1	
コアで消費 された割合	88%	
GFLOPS/W	5.4	