
对Altera 28 nm FPGA浮点DSP能效的 独立评估



作者：Berkeley设计技术有限公司员工

2013年2月

简介

FPGA作为并行处理引擎,越来越广泛地用于大计算量的数字信号处理(DSP)应用中。基准测试结果表明,对于并行度很高的工作负载,与数字信号处理器和通用CPU相比,FPGA性能更好,性价比更高。然而,更好的性能也通常带来了更高的功耗,以及较低的能效,这在嵌入式处理应用中是个问题。

Altera最近推出了浮点设计流程,目的是在Altera FPGA上简单方便的实现浮点DSP算法,与以前相比,进一步提高设计性能和资源使用效率。在以前的白皮书中[1],BDTI对Altera FPGA进行了独立分析,评估其在大计算量浮点DSP应用中的性能,以及Altera浮点DSP设计流程的效率。

随后, BDTI独立分析了Altera FPGA在大计算量浮点DSP应用中的功耗和能效。本白皮书介绍BDTI的此项评估结果。

目录

1. 引言.....	2
2. 浮点设计实例.....	3
3. 功耗测量方法.....	3
4. 功耗结果	5
5. 结论.....	6
6. 参考文献.....	6
附录.....	7

1. 引言

选择高性能嵌入式处理器时，由于很多系统必须工作在有限的空间中，在移动环境下，或者由电池供电，因此，功耗和能效非常重要。由于处理器的大部分功耗都转变成热量，因此，功耗较低的器件只需要较少的散热措施就可以避免过热。这样，可以实现更小的系统，采用更小的电池。然而，低功耗处理器并不一定意味着高能效。能耗是由功耗和时间相乘决定的。在很多情况下，低功耗处理器的性能也较低，完成一项任务所耗费的时间更长，这抵消了低功耗的优势。通常，低功耗处理器的性能达不到要求，而高性能处理器的功耗可能会高到无法接受的程度。

在嵌入式计算应用中，大计算量的浮点算法已经很常见了。其实例包括，从先进军用雷达的空时自适应处理(即，STAP)，到第四代长期发展(4G LTE)蜂窝标准的多输入多输出(MIMO)通信信道估算等。这些复杂的算法需要高度并行的处理方法，它们工作在有限的空间以及小型轻便包装等环境中，因此，要求降低功耗。这类环境的一个例子是军用无人机(UAV)搭载的移动军用天线。这些应用不仅要求低功耗以减小散热，延长电池使用时间，而且还要求较高的计算性能，以便在最短的时间内完成给定的任务。用于评估浮点处理器能效的常用标准是GFLOPS/W，即每瓦

功耗所达到的性能；性能以每秒完成多少个十亿次浮点操作来衡量，此次评估，我们也采用GFLOPS/W作为标准。

处理器供应商一般会发表峰值GFLOPS数据。相似的，报出的能效通常是以峰值GFLOPS除以功耗。这些数值假定处理器中的所有浮点功能单元以器件的最大时钟频率运行。这些指标通常非常乐观，不能反映典型应用。在本次分析中，我们采用了更实际的另一种方法：对于两种特定的复杂算法实现，我们既测量浮点性能，也测量功耗。Altera最近在DSP Builder高级模块库工具链中引入了浮点功能，以简化浮点DSP算法在Altera FPGA上的实现，与传统的FPGA设计方法相比，也同时提高了浮点设计的性能和效率。在以前的白皮书[1]中，BDTI评估了Altera使用Quartus II v12.0工具链浮点设计的效率，以及Altera 28 nm Stratix V和Arria V FPGA的浮点性能。针对那次评估，我们采用了两个应用实例，它们使用两类不同的矩阵分解方法来解大规模联立线性方程：多信道Cholesky矩阵分解以及使用Gram-Schmidt过程的QR分解。这些分解结合了前向和后向代换，在一组联立线性方程 $Ax = B$ 中，解出矢量 x 。

在本白皮书中，我们使用了以前白皮书中同样的两个应用实例，来评估Stratix V和Arria V FPGA的功耗和能效。正如在第4部分所要介绍的，Altera Stratix V FPGA能够实现6 GFLOPS/W，功耗在99 GFLOPS时只有16 W；而Altera Arria V FPGA，可实现7 GFLOPS/W，功耗在65 GFLOPS时只有9 W。需要指出的是，这些并不是峰值性能指标，而是实际浮点设计实例的性能。

第2部分简要介绍了两个浮点应用实例的背景。第3部分介绍了功耗测量方法。第4部分介绍在两种不同Altera FPGA上对这

两个设计实例的评估结果：高端、中等容量Stratix V 5SGSMD5K2F40C2N器件和低功耗、中端Arria V 5AGTFD7K3F40I3N器件。最后，第5部分是BDTI的结论。

2. 浮点设计实例

线性方程组 $Ax = b$ 在很多领域都有应用，从STAP等高级军用雷达应用到数字通信中的各种估算问题等。无论这是一个涉及到线性最小平方的最优问题，还是MIMO通信信道估算问题，都需要找到方程 $Ax = b$ 的一组数值解。这些算法不但需要进行大量的计算，而且，如果没有足够的动态范围，还有可能出现数值不稳定问题。因此，这类算法的高效精确实现，只有在浮点器件中才具有实用性。对于大小为 m 乘 n 的普通矩阵 A ， m 是矩阵高度， n 是宽度，QR分解可以用于解出向量 x 。

这一算法将 A 分解成一个大小为 m 乘 n 的标准正交矩阵 Q 和一个大小为 n 乘 n 的上三角矩阵 R 。由于 Q 是标准正交的，因此， $Q^T Q = I$ ， $Rx = Q^T b$ 。而 R 是上三角矩阵，后向代换方法很容易解出 x ，不需要对原始矩阵 A 求逆。在本白皮书的QR求解实例中，我们应用了 $m \geq n$ 的超定矩阵，使用Gram-Schmidt过程来解出矩阵 A 。

当矩阵 A 是厄米矩阵而且正定时，例如很多应用中使用的协方差矩阵，那么，通常使用Cholesky分解法(其效率可达到QR分解法的两倍)。这一算法将 A 分解成下三角矩阵 L 及其共轭转置矩阵 L^* 。由于 L 是下三角矩阵，因此，算法使用了前向代换来解出 $Ly = b$ 中的 y ，然后采用后向代换解出 $L^*x = y$ 中的 x 。这样，算法间接求出矩阵 A 的逆矩阵，解出 $x = A^{-1}b$ 。本白皮书中的Cholesky分解器实例有一个多信道设计，意味着能够同时分解多个矩阵。

评估中所用到的两种分解器都使用了复

符号和定义

M 粗体大写字母表示一个矩阵。

z 粗体小写字母表示一个矢量。

L^* 表示矩阵 L 的共轭转置矩阵。

厄米矩阵 正方形矩阵，复数元素等于自己的共轭转置。这是实数对称矩阵的复数扩展。

正定矩阵 如果对于所有非零复数矢量 z ， $z^* M z > 0$ ，那么厄米矩阵 M 是正定的。出于本文的目的， M 是厄米矩阵，因此 $z^* M z$ 总是实数。

标准正交矩阵 如果矩阵 $Q^T Q = I$ ，其中， I 是单位矩阵，那么 Q 是标准正交的。

Cholesky分解 将厄米正定矩阵 M 因数分解成下三角形矩阵 L 及其共轭转置 L^* ， $M = LL^*$ 。

QR分解 将大小为 m 乘 n 的矩阵 M 分解成一个大小为 m 乘 n 的标准正交矩阵 Q 和一个大小为 n 乘 n 的上三角矩阵 R ，这样， $M = QR$ 。

Fmax FPGA设计的最大频率。

数和IEEE 754单精度浮点算法来实现，在以前的白皮书中详细介绍了这两个浮点实例在两种Altera FPGA上的实现。

3. 功耗测量方法

此次评估使用了两个硬件平台：Stratix V版DSP开发套件，以及Arria V FPGA开发套件。使用这些平台时，开发人员从Altera网站下载相应硬件平台的DSP开发套件安装软件，以及USB-Blaster II驱动。(这一软件还提供DVD版，可以从Altera申请获得。)安装软件下载中还含有名为电路板测试系统的应用程序包。这一环境提供了GUI界面，以改变硬件开发板的功能设置，并观察结果。电路板测试系统通过连接至电路板USB-Blaster II单元的USB电缆进行通信。USB-Blaster控制电路板上的JTAG链。

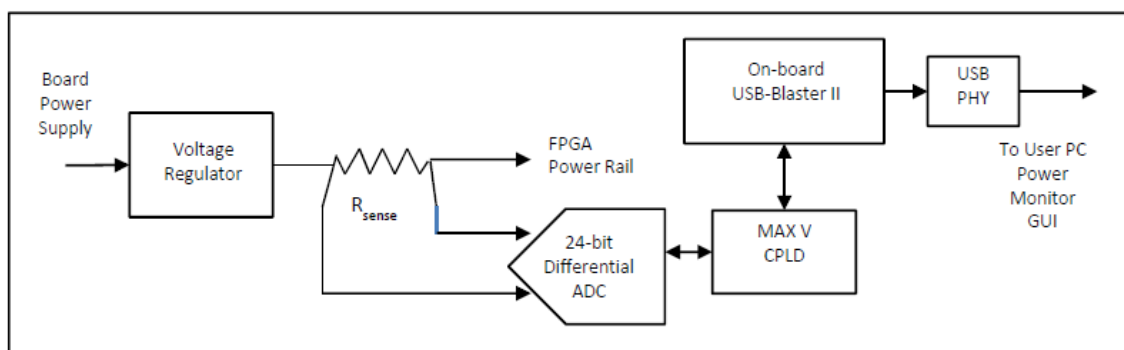


图1. 一条FPGA电源线的板上功耗测量电路

通过电压稳压器对电路板上的主直流电源输入进行降压，为电路板上元器件和FPGA的各种电源进行供电。通过传感小电阻，从电源平面分出FPGA电源线。所有FPGA电源线使用了0.003 Ω传感电阻，只有FPGA内核电源(VCCINT)使用了0.001Ω电阻。这类电阻的精度都是1%。采用了24位差分模数转换器(ADC)来测量传感电阻上的电压。每一ADC通过串行外设接口(SPI)总线与Altera MAX V CPLD通信，后者用作板上系统控制器，实现各种功能，例如，FPGA配置、功率和温度监控以及风扇控制等。MAX V CPLD位于JTAG链上，与运行在用户PC上的电路板测试系统应用程序进行通信。除了FPGA本身，Stratix V和Arria V电路板实际上有相同的元器件。图1显示了开发板上的一条FPGA电源线的功耗测量电路。每一条FPGA电源线都有自己的传感电阻。

对于这一评估，我们使用了两个应用程序；功耗监视器和时钟控制。这两个应用程序都是电路板测试系统环境的一部分，它们可以通过电路板测试系统GUI运行，也可以作为单独的应用程序来运行。在这一评估中，我们选择在其单独模式中运行这些应用程序。

时钟控制应用程序用于设置板上可编程振荡器的频率。在Stratix V FPGA开发板上，我们使用了Si570时钟源；而在Arria V FPGA开发板上，我们使用了X7时钟源。对于Cholesky分解器配置，我们将振荡器频

率设置为Fmax/2，这是因为Cholesky分解器使用片内PLL对其输入时钟频率进行加倍。对于QR分解器，我们针对待评估的配置将振荡器设置为Fmax。在第4部分的表1中，显示了每一待测配置的Fmax。

功耗监视器应用程序与板上功耗监视电路进行通信，针对电路板上的各种电源线，测量并报告通过传感电阻的电流。对于Stratix V FPGA，我们监视通过9条电源线的电流；对于Arria V器件，我们监视通过7条电源线的电流。在每一情况下，浮点应用程序以连续工作模式运行。

对于Arria V FPGA开发套件，图2显示了功耗监视器应用程序的控制GUI。显示的电流RMS值是2秒周期采样中16个采样值的平均。不能改变采样率以及平均周期。

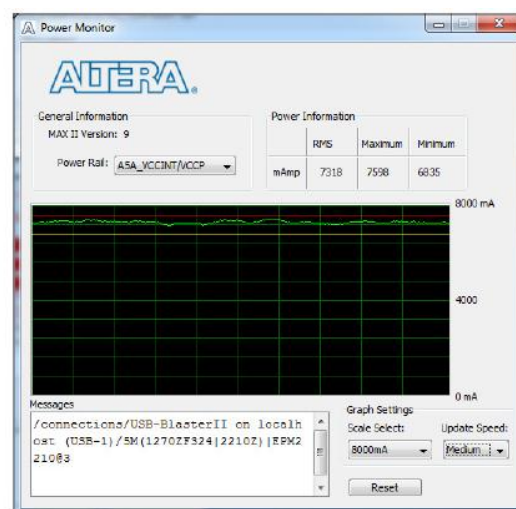


图2. 功耗监视器GUI

但是，用户可以控制GUI的更新率以及图形显示。显示的MAX和MIN值是完整运行期间出现的绝对最大和最小RMS值。显示的精度是1 mA。

对于每一浮点实例的每一配置，为能够准确的测量电流，我们以连续模式启动应用程序，在FPGA达到其工作温度后，才记录电流值。显示的RMS电流值起初随着器件温度的上升而增大，然后稳定在长期平均值上。在某些情况下，这一过程最长需要7分钟。我们然后监视并记录RMS电流值，在大约两分钟的周期内进行平均。虽然电流值在这一周期内相对稳定，但是取平均仍然有助于平滑掉一些小的变化。为获得所显示的电流值的精确指标，针对几个设计，我们独立测量了VCCINT电源线(FPGA内核电源线)传感电阻上的电压降，对比了计算的电流值和相应的显示值。我们估算了功耗监视器显示的误差余量在±1%之内。计算每一电源线的功耗时，我们将平均后的RMS电流与电源电压相乘。我们监视的所有电源线及其相应电压值显示在附录的表A.1中。

4. 功耗结果

这一部分介绍了BDTI对两种不同Altera 28 nm FPGA功耗和能效的独立评估结果：高端、中等容量Stratix V 5SGSMD5K2F40C2N器件，以及低功耗、中端Arria V 5AGTFD7K3F40I3N器件。这一评估中使用的Stratix V FPGA具有345.2K自适应查找表(ALUT)、1,590个27×27位精度可调乘法器，以及2,014个M20K存储器模块。Arria V FPGA具有380.4K ALUT、1,156个27×27位精度可调乘法器，以及2,414个M10K存储器模块。运行复数单精度IEEE 754浮点Cholesky和QR分解器实例，测量了两种FPGA的功耗。

表1显示了以连续模式运行两个浮点实例时，Altera Stratix V和Arria V FPGA的能效，单位是GFLOPS/W (最后一列)。表1中吞吐率、Fmax和性能列是复制了[1]中介绍的BDTI对同样FPGA的性能评估结果。对于Cholesky和QR分解器设计实例，用于计算每秒实数浮点操作的方程分别是 $4n^3/3 + 12n^2$ 和 $8mn^2 + 6.5n^2 + mn$ 。

Example	Device	Configuration (Channel Size/ Matrix Size/ Vector Size)	Throughput (kMatrices/ sec)	Fmax (MHz)	Performance (GFLOPS)	Total Power ⁽¹⁾ (W)	GFLOPS/ W
Cholesky	Stratix V	1 / 360×360 / 90	1.43	189	91	16	5.7
		20 / 60×60 / 60	118.35	234	39	15	2.6
		64 / 30×30 / 30	544.28	288	26	10	2.5
	Arria V	6 / 90×90 / 45	35.22	197	38	9.1	4.2
		64 / 30×30 / 30	349.62	184	16	7.1	2.3
QR	Stratix V	1 / 400×400 / 100	0.315	203	162	26	6.2
		1 / 200×100 / 100	8.76	207	141	23	6.1
		1 / 200×100 / 50	6.17	260	99	16	6.2
		1 / 100×50 / 50	32.82	259	66	13	5.1
	Arria V	1 / 200×100 / 50	4.05	171	65	9.1	7.1
		1 / 100×50 / 50	21.54	170	44	8.1	5.4

表1.运行Cholesky和QR分解器的Stratix V和Arria V FPGA的功效。

(1) 功耗值的误差余量在±1%范围内。

表1中的功耗指标，是在Stratix V和Arria V FPGA上，对每个Cholesky和QR分解器配

置所测量的总功耗。每组数据中，以性能值除以总功耗测量值，就得到表中以

GFLOPS/W表示的能效。

每一配置的总功耗包括每一FPGA所有电源线的功耗之和。虽然在很多应用中，包括本白皮书中所使用的实例，收发器等FPGA的某些组成并没有被激活使用，但是，这些组成部分却对静态功耗有贡献，我们将其含在表1的总功耗中。在这些例子中，FPGA内核功耗占据了总功耗的82%至92%。

对于Stratix V和Arria V FPGA的这两个浮点设计实例，附录中的表A.2到表A.5含有每一电源线RMS电流测量值以及计算的功耗。

对在本白皮书中评估的这两个浮点设计实例，我们选择了最高性能选项，即Fmax，进行编译。使用Quartus II软件v12.0工具链的设计人员有多种选择来降低其设计的功耗，包括功耗优先的编译选项、时钟电源管理，以及优化存储器时钟等。Quartus II 12.1版手册第2卷第14章讨论了与功耗相关的优化方法，可以从Altera网站[2]下载。

5. 结论

在本白皮书中，我们评估两种28 nm Altera FPGA的能效和功耗：高端、中等容量的Stratix V，以及低功耗、中端Arria V。在两个设计实例上评估了能效，Cholesky和QR分解器，使用了单精度复数IEEE 754浮点数来实现这两个实例。两个实例都使用了Altera的Quartus II软件v12.0工具链进行设计并实现，在我们以前的白皮书中进行了详细介绍。

我们的评估表明，Altera Stratix V FPGA在执行复数浮点应用程序时具有很高的计算性能，而功耗足够低，可适用于多种低功耗嵌入式系统。我们评估的最大的浮点

实例是在Stratix V FPGA上实现的 400×400 元素QR分解器。运行在203 MHz，处理162 GFLOPS，器件能效达到了6.2 GFLOPS/W，而功耗为26 W。对比运行同样浮点设计配置的两种Altera FPGA，我们发现虽然Arria V FPGA性能要低一些，功耗也低，但是，其能效与Stratix V FPGA相当。而且，对于相似的计算性能(GFLOPS)，我们发现，Arria V FPGA的功耗低于Stratix V FPGA，能效要高一些。这表明，Arria V FPGA的静态功耗和动态功耗都要比Stratix V器件低。

最后，需要指出的是，本白皮书中介绍的这两种Altera FPGA的性能和能效指标是针对特定设计实例的，并不代表特殊环境下的最佳指标。为能够与其他平台进行有效对比，应在那些平台上实现相同的算法，并测量其能效和功耗。

6. 参考文献

[1] Berkeley设计技术有限公司，2012年10月，“对Altera 28-nm FPGA浮点DSP设计流程和性能的独立分析”。可以从<http://www.altera.com/literature/wp/wp-01166-bdti-altera-floating-point-dsp.pdf>下载。

[2] “Quartus II手册12.1，第2卷”，可以从Altera网站的http://www.altera.com/literature/hb/qts/qts_qii5v2.pdf下载。

附录

电流测量值的误差余量在±1 % 范围内。

表A.1.监视的电源及其电压

Stratix V FPGA			Arria V FPGA		
Power Rails	Voltage (V)	Function	Power Rails	Voltage (V)	Function
VCCINT	0.90	FPGA core	VCCINT/VCCP	1.1	FPGA core
XCVR_GXB	1.0	High-speed transceiver	VCCD_PLL	1.5	Digital portion of PLL
VCCIO_HSMB	1.2	VCC I/O	VCCIO_1.5V	1.5	1.5 V I/O
VCCPD/PGM	2.5	I/O pre-driver, programming	VCCIO_1.8V	1.8	1.8 V I/O
VCC_1.5	1.5	PLL, transceiver buffers	VCCA	2.5	Analog power for PLL
VCCIO_1.8	1.8	1.8 V I/O	VCCPD/PGM	2.5	I/O pre-driver, programming
VCCIO_2.5	2.5	2.5 V I/O	XCVR_GXB	1.2	High-speed transceiver
VCCIO_1.5	1.5	1.5 V I/O			
VCCA_GXB	3.0	XCVR analog power			

表A.2.在Stratix V FPGA上的Cholesky分解器的功耗

Number of channels = 1 Matrix size = 360 x 360 Dot product vector size = 90 F _{max} = 189 MHz			Number of channels = 20 Matrix size = 60 x 60 Dot product vector size = 60 F _{max} = 234 MHz			Number of channels = 64 Matrix size = 30 x 30 Dot product vector size = 30 F _{max} = 288 MHz		
Power Rail	Msr'd Current (mA)	Power (W)	Power Rail	Msr'd Current (mA)	Power (W)	Power Rail	Msr'd Current (mA)	Power (W)
VCCINT	15530	14	VCCINT	14474	13	VCCINT	9368	8.4
XCVR_GXB	300	0.30	XCVR_GXB	299	0.30	XCVR_GXB	271	0.27
VCCIO_HSMB	2	0.002	VCCIO_HSMB	2	0.002	VCCIO_HSMB	2	0.002
VCCPD/PGM	90	0.23	VCCPD/PGM	90	0.23	VCCPD/PGM	91	0.23
VCC_1.5	496	0.74	VCC_1.5	488	0.73	VCC_1.5	455	0.68
VCCIO_1.8	0	0	VCCIO_1.8	0	0	VCCIO_1.8	0	0
VCCIO_2.5	0	0	VCCIO_2.5	0	0	VCCIO_2.5	0	0
VCCIO_1.5	0	0	VCCIO_1.5	0	0	VCCIO_1.5	0	0
VCCA_GXB	238	0.71	VCCA_GXB	238	0.71	VCCA_GXB	238	0.71
Total Power Consumption	16		Total Power Consumption	15		Total Power Consumption	10	
% Consumed by Core	88%		% Consumed by Core	87%		% Consumed by Core	82%	
GFLOPS/W	5.7		GFLOPS/W	2.6		GFLOPS/W	2.5	

表A.3.在Arria V FPGA上的Cholesky分解器的功耗

Number of channels = 6 Matrix size = 90 x 90 Dot product vector size = 45 F _{max} = 197 MHz			Number of channels = 64 Matrix size = 30 x 30 Dot product vector size = 30 F _{max} = 184 MHz		
Power Rail	Measured Current (mA)	Power (W)	Power Rail	Measured Current (mA)	Power (W)
VCCINT/VCCP	7341	8.1	VCCINT/VCCP	5531	6.1
VCCD_PLL	6	0.009	VCCD_PLL	6	0.009
VCCIO_1.5 V	17	0.026	VCCIO_1.5 V	17	0.026
VCCIO_1.8 V	17	0.031	VCCIO_1.8 V	15	0.027
VCCA	336	0.84	VCCA	336	0.84
VCCPD/PGM	13	0.033	VCCPD/PGM	15	0.038
XCVR_GXB	29	0.035	XCVR_GXB	25	0.030
Total Power Consumption	9.1		Total Power Consumption	7.1	
% Consumed by Core	89%		% Consumed by Core	86%	
GFLOPS/W	4.2		GFLOPS/W	2.3	

表A.4a.在Stratix V FPGA上的QR分解器的功耗

Number of channels = 1 Matrix size = 400 x 400 Dot product vector size = 100 F _{max} = 203 MHz			Number of channels = 1 Matrix size = 200 x 100 Dot product vector size = 100 F _{max} = 207 MHz		
Power Rail	Measured Current (mA)	Power (W)	Power Rail	Measured Current (mA)	Power (W)
VCCINT	26258	24	VCCINT	22882	21
XCVR_GXB	359	0.36	XCVR_GXB	337	0.33
VCCIO_HSMB	3	0.004	VCCIO_HSMB	3	0.004
VCCPD/PGM	86	0.22	VCCPD/PGM	86	0.22
VCC_1.5	596	0.89	VCC_1.5	560	0.84
VCCIO_1.8	0	0	VCCIO_1.8	0	0
VCCIO_2.5	2	0.005	VCCIO_2.5	2	0.005
VCCIO_1.5	0	0	VCCIO_1.5	0	0
VCCA_GXB	240	0.72	VCCA_GXB	240	0.72
Total Power Consumption	26		Total Power Consumption	23	
% Consumed by Core	92%		% Consumed by Core	91%	
GFLOPS/W	6.2		GFLOPS/W	6.1	

表A.4b.在Stratix V FPGA上的QR分解器的功耗

Number of channels = 1 Matrix size = 200 x 100 Dot product vector size = 50 F _{max} = 260 MHz			Number of channels = 1 Matrix size = 100 x 50 Dot product vector size = 50 F _{max} = 259 MHz		
Power Rail	Measured Current (mA)	Power (W)	Power Rail	Measured Current (mA)	Power (W)
VCCINT	15470	14	VCCINT	12131	11
XCVR_GXB	300	0.30	XCVR_GXB	295	0.30
VCCIO_HSMB	3	0.004	VCCIO_HSMB	3	0.004
VCCPD/PGM	86	0.22	VCCPD/PGM	86	0.22
VCC_1.5	490	0.74	VCC_1.5	481	0.72
VCCIO_1.8	0	0	VCCIO_1.8	0	0
VCCIO_2.5	2	0.005	VCCIO_2.5	2	0.005
VCCIO_1.5	0	0	VCCIO_1.5	0	0
VCCA_GXB	238	0.71	VCCA_GXB	239	0.72
Total Power Consumption	16		Total Power Consumption	13	
% Consumed by Core	88%		% Consumed by Core	85%	
GFLOPS/W	6.2		GFLOPS/W	5.1	

表A.5.在Arria V FPGA上的QR分解器的功耗

Number of channels = 1 Matrix size = 200 x 100 Dot product vector size = 50 F _{max} = 171 MHz			Number of channels = 1 Matrix size = 100 x 50 Dot product vector size = 50 F _{max} = 170 MHz		
Power Rail	Measured Current (mA)	Power (W)	Power Rail	Measured Current (mA)	Power (W)
VCCINT/VCCP	7467	8.2	VCCINT/VCCP	6443	7.1
VCCD_PLL	5	0.008	VCCD_PLL	3	0.005
VCCIO_1.5 V	15	0.023	VCCIO_1.5 V	14	0.021
VCCIO_1.8 V	15	0.027	VCCIO_1.8 V	10	0.018
VCCA	307	0.77	VCCA	344	0.86
VCCPD/PGM	14	0.035	VCCPD/PGM	14	0.035
XCVR_GXB	23	0.028	XCVR_GXB	22	0.026
Total Power Consumption	9.1		Total Power Consumption	8.1	
% Consumed by Core	90%		% Consumed by Core	88%	
GFLOPS/W	7.1		GFLOPS/W	5.4	